

BEST AVAILABLE COPY

CLIPPEDIMAGE= JP356027438A
PAT-NO: JP356027438A
DOCUMENT-IDENTIFIER: JP 56027438 A
TITLE: KEY INPUT CIRCUIT

PUBN-DATE: March 17, 1981

INVENTOR-INFORMATION:
NAME
SASAKI, TADAO

ASSIGNEE-INFORMATION:
NAME COUNTRY
SONY CORP N/A

APPL-NO: JP54102535
APPL-DATE: August 10, 1979

INT-CL_(IPC): G06F003/023
US-CL-CURRENT: 341/26

ABSTRACT:

PURPOSE: To make it possible to double key input numbers without increasing terminal pins by connecting directional elements to common-connected row lines or column lines.

CONSTITUTION: In key input parts 30 and 40 shaped in a matrix of 4 rows by 4 columns, 32 keys $K_{1 \sim 32}$ are constituted in all (marks "○" represent key contacts). Of input parts 30 and 40, respective row lines are connected in common to corresponding terminals of the 1st port A with four terminals, and respective column lines are connected via directional element, e.g. diodes $D_{0 \sim 3}$ while connected to corresponding terminals of the 2nd port B with four terminals. Further, circuit 20 that decides which key of input part 30 or 40 has been operated is provided to decide which key the key input signal corresponds to. Since key input circuit 10 is thus constituted, key input numbers can be doubled without increasing input-output ports.

COPYRIGHT: (C)1981, JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—27438

⑤ Int. Cl.³
G 06 F 3/023

識別記号

庁内整理番号
6798—5B

⑬ 公開 昭和56年(1981)3月17日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ キー入力回路

⑮ 特 願 昭54—102535

⑯ 出 願 昭54(1979)8月10日

⑰ 発 明 者 佐々木唯夫

東京都品川区大崎2丁目10番14

号ソニー株式会社大崎工場内

⑱ 出 願 人 ソニー株式会社

東京都品川区北品川6丁目7番
35号

⑲ 代 理 人 弁理士 伊藤貞 外2名

明 細 書

発明の名称 キー入力回路

特許請求の範囲

m個の端子をもつ第1の入出力ポートと、n個の端子をもつ第2の入出力ポートと、m行n列の第1及び第2のマトリックス状キー入力部とを有し、これらキー入力部の行線は夫々第1のポートに、列線は夫々第2のポートに接続され、共通接続された行線又は列線のいずれかには方向性素子が接続されたキー入力回路。

発明の詳細な説明

集積回路等へのキー信号の入力手段としてマニュアル操作キーを使用するとき、キー入力数を拡張してm×n個から例えば2m×n個に増やしたい場合には、キー入力部がマトリックス構成ならば、例えば行線又は列線のいずれかを2倍にしなければならぬ。行線又は列線の増加は集積回路の端子ピンの増加につながるため、線数を増加するのは好ましい手段とは言えない。

2接点式のキーを使用すれば端子ピン数の増加

(1)

は防げるが、キーそのものが大型化してしまう。また、ダイオードマトリックスを使用する場合にはダイオードの数が多くなり好ましくない。

そこで、この発明は2接点式のキーや、ダイオードマトリックスを使用しないで、しかも端子ピン数の増加を抑えてキー入力数の拡張を図ることができるようにしたキー入力回路を提案するものである。

第1図はこの発明に係るキー入力回路の一例を示す系統図であつて、この例ではm=n=4とし、行線及び列線を増やすことなく2倍のキー入力数が得られるようにした場合である。

図において、10はキー入力回路であり、図は選択操作されたキー入力信号の判別回路であつて、これはこのキー入力回路10で得られるキー入力信号がどのキーに対応する入力信号であるかを判別するために設けられており、判別されたキー入力信号は目的とする制御回路系(図示せず)に供給される。

10、100は4行4列で構成されたマトリックス状

(2)

のキー入力部であり、その内部に付した○印はキー（接点）で、 K_1 から K_{32} までの計 32 個のキーが構成される。キー入力部 60、60 の各行線は共通に接続されて、 m 個すなわちこの例では 4 個の端子を有する第 1 のポート A の対応する端子に接続される。そして、各列線は図のように方向性素子例えばダイオード $D_0 \sim D_3$ を介して接続されると共に、夫々の接続点が n 個すなわちこの例では 4 個の端子を有する第 2 のポート B の対応する端子に接続される。

ダイオード $D_0 \sim D_3$ の極性は図の場合と逆でもよく、またこれらダイオード $D_0 \sim D_3$ は列線ではなく行線に挿入してもよい。

キー入力回路 60 をこのように構成すれば、入出力ポート数を増加することなくキー入力数を 2 倍に増やすことができる。しかし、この構成では得られたキー入力信号だけでは第 1 のキー入力部 60 のキーが操作されたときのものであるのか、第 2 のキー入力部 60 のキーが操作されたときのものであるのか判別することができない。そこで、キー

(3)

ート B から第 1 のポート A に向つて流れ、第 1 のキー入力部 60 に対しては 4 本の列線を通じて、第 2 のキー入力部 60 に対してはダイオード $D_0 \sim D_3$ 及び 4 本の列線を通じて夫々走査信号 $8B_0 \sim 8B_3$ が入力する。ここに、ポート切換スイッチ (51B) を通過した後の走査信号を $8B$ として示した。

操作キーは K_{10} が押されているので、走査信号 $8B_1$ だけが第 1 のポート A の切換スイッチ (51A) 及びオア回路 63 を通じて操作キーの検出回路 64 に供給される。検出回路 64 にはパルス発生器 65 より走査信号 $8_0 \sim 8_3$ が供給されており、これらの走査信号 $8_0 \sim 8_3$ 、 $8B_1$ に基いて操作キーに対応したコード出力 $8e$ が形成される。但し、この段階ではこのコード出力 $8e$ がキー K_{10} に関するものであるのか、 K_{28} に関するものであるのかは判からない。

コード出力 $8e$ はメモリ 66 に格納されるが、その動作については後述するとして、コード出力 $8e$ はさらにオア回路 67 を通じてフリップフロップ回路 68 に供給されてこれがセットされる。そして、

(5)

特開昭 56-27438(2)

入力回路 60 と制御回路系との間には上述したような判別回路 69 が設けられ、どのキーに対応するキー入力信号であるかが判別される。

第 2 図はこのキー入力信号を判別する回路図の一例である。60 はキー走査信号の発生器であつて、これより第 3 図 A ~ D に示すような位相が順次異なる 4 つのキー走査信号 $8_0 \sim 8_3$ が形成され、これらキー走査信号 $8_0 \sim 8_3$ は第 1 及び第 2 の入出力ポートの切換スイッチ (51A)、(51B) を介してキー入力部 60、60 に供給される。ポート切換スイッチ (51A)、(51B) は相補的に切換えられるものであつて、夫々には位相の異なるポート切換パルス $8P$ 、 $\overline{8P}$ (同図 N、O) が供給される。図の例では「1」のパルスでいずれも入力ポートに切換えられる。

さて、次に第 3 図 E で示すようにキー K_{10} が期間 T_0 に亘つて操作されたときの判別動作について説明する。期間 T_0 では第 2 のポート B が入力ポートで、第 1 のポート A が出力ポートであるから (同図 N、O)、走査信号 $8_0 \sim 8_3$ は第 2 のポ

(4)

走査信号 $8_0 \sim 8_3$ のうち、4 番目の走査信号 8_3 とフリップフロップ回路 68 の出力とがアンド回路 69 に供給され、そのアンド出力にてモノマルチバイブレータ 70 がトリガーされる。

モノマルチ出力はポート切換パルス $8P$ として利用されているので、期間 T_0 内で走査信号 8_3 が得られると、その時点でポート A、B の入出力が反転して、走査信号 $8_0 \sim 8_3$ は第 1 のポート A から第 2 のポート B に向つて流れる。マルチバイブレータ 70 の反転期間 T_b は走査信号 $8_0 \sim 8_3$ の単位走査周期以上に選ばれている。

期間 T_b の間でもキー K_{10} は押され続けているから、走査信号 $8A_0 \sim 8A_3$ のうち、キー K_{10} に関する走査信号 $8A_1$ は第 2 のポート切換スイッチ (51B) を通じて上述した検出回路 64 に供給され、上述と同じコード出力 $8e$ が形成される。今、説明の便宜上、期間 T_0 のときのコード出力を $8ea$ とし、期間 T_b のときのコード出力を $8eb$ とする。

なお、フリップフロップ回路 68 はポート切換パルス $8P$ の立上りでリセットされる。68 はポート

(6)

特開昭56-27438(3)

切換パルス SP の反転回路である。

さて、検出回路 64 のコード出力 Sea、Seb から操作キーが K₁₀ であるか K₂₆ であるかを判別して最終的にキー入力信号を確定するため、コード出力 Sea、Seb はキー入力信号の確定回路 64 に供給される。

期間 Ta に得られたコード出力 Sea とポート切換パルス SP とはアンド回路 64 に供給され、そのアンド出力が上述したメモリ 65 の書き込みパルスとして利用されるから、期間 Ta ではコード出力 Sea がメモリ 65 に格納される。期間 Tb ではポート切換パルス SP が反転しているので、コード出力 Seb が得られてもこれがメモリ 65 に書き込まれることはない。すなわち、この期間 Tb はメモリ 65 が読出し状態となり、メモリ出力すなわち、コード出力 Sea のオア出力と、期間 Tb 内で得られたコード出力 Seb のオア出力とのアンド出力 P_A が形成される。ここに、64、64 はオア回路、64 はアンド回路である。

アンド出力 P_A でフリップフロップ回路 66 がセ

(7)

「0」のままになる。そのため、第 2 のキー入力部 60 のキー操作であることが確定し、K₂₆ のキー入力信号がマトリックス回路 67 から得られることになる。

以上説明したように、キー入力部 60、60 の行線又は列線の間ダイオード D₀ ~ D₃ を接続したので、キー入力部 60、60 の判別回路 64 を使用すれば、2 接点式のキーや、ダイオードマトリックスを使用しなくても同一ポート数で 2 倍のキー入力数まで拡張できる。従つて、判別回路を含む制御回路系を IC 化する場合に、端子ピンを増加しなくてもキー入力数を 2 倍まで拡張できるから頗る便利である。

図面の簡単な説明

第 1 図はこの発明に係るキー入力回路の一例を示す接続図、第 2 図はキー入力信号の判別回路の一例を示す系統図、第 3 図はその動作説明に供する波形図である。

64 はキー入力回路、64 はキー入力信号の判別回路、60、60 は第 1 及び第 2 のキー入力部、A、B

(9)

特開昭56-27438(3)

ットされ、このときのフリップフロップ出力 SP とメモリ 65 のメモリ出力 Sea がマトリックス回路 67 に供給される。フリップフロップ出力 SP は第 1 及び第 2 のキー入力部 60、60 の判別信号であつて、「1」のとき第 1 のキー入力部 60 であるものとすれば、上述の場合にはコード出力 Sea、Seb がともに得られるため（第 3 図 P）、フリップフロップ出力 SP が「1」となつて、第 1 のキー入力部 60 に設けられたキー K₁₀ に関するキー入力信号であることが確定する。従つて、マトリックス回路 67 からキー K₁₀ に対応したキー入力信号が得られることになる。

キー K₁₀ と同一行線上にあるキー K₂₆ が押されると、ダイオード D₀ ~ D₃ の存在で期間 Tb のとき、走査信号 SA₁ は阻止されてこれが検出回路 64 に入力しないから、出力 Seb は得られない（同図 Q）。従つて、ゲート出力 P_A も得られない。

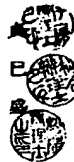
フリップフロップ回路 66 はポート切換パルス SP の立下りでリセットされるので、ゲート出力 P_A が得られなと、フリップフロップ出力 SP は

(8)

は第 1 及び第 2 の入出力ポート、60 はキー走査信号 S₀ ~ S₃ の発生器、(51A)、(51B) はポート切換スイッチである。

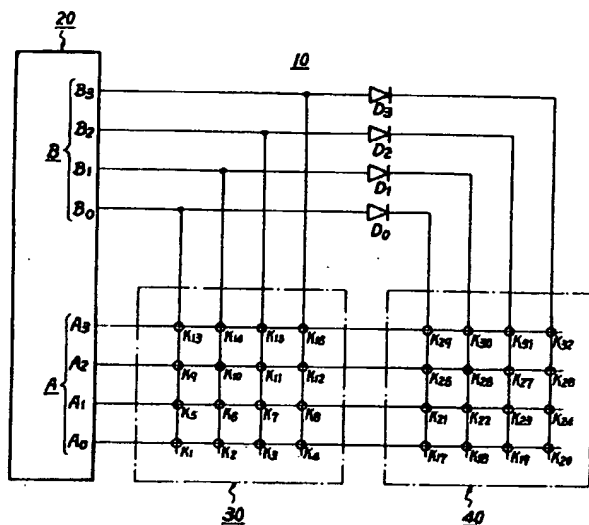
代理人
同
同

伊藤 克巳
松 隈 秀

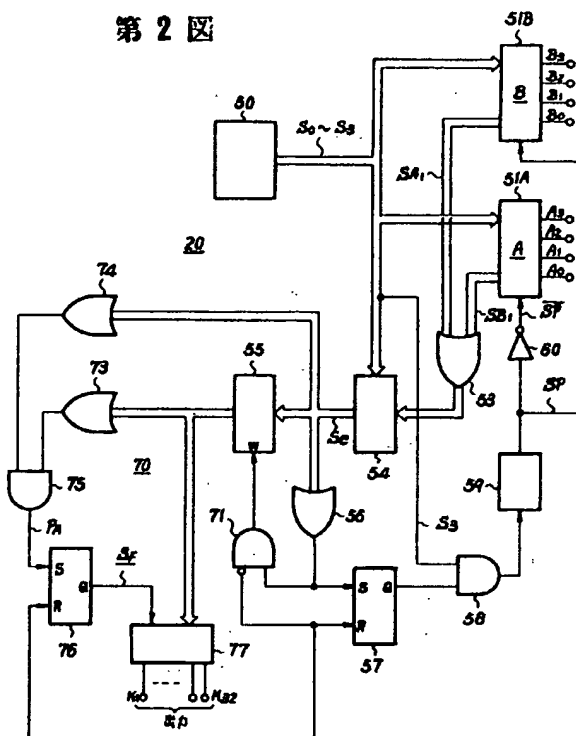


00

第 1 図



第 2 区



第 3 図

